

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP362285470A
PAT-NO: JP362285470A
DOCUMENT-IDENTIFIER: JP 62285470 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: December 11, 1987

INVENTOR-INFORMATION:

NAME

TAKAHASHI, MASASHI

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP61128210

APPL-DATE: June 4, 1986

INT-CL (IPC): H01L029/78; H01L029/62

US-CL-CURRENT: 438/FOR.206,438/385

ABSTRACT:

PURPOSE: To reduce instability to heat treatment of fixed charges and dispersion in a wafer while preventing the generation of the damage of an oxide film on ion implantation by implanting fluorine to polycrystalline silicon deposited on the gate oxide film and diffusing fluorine to the oxide film through heat treatment.

CONSTITUTION: Polycrystalline Si 3 is deposited on a gate oxide film 2 on an Si substrate 1, and an impurity F is implanted to Si 3. F is diffused to the film 2 through heat treatment, fixed charges are decreased, instability by heat treatment of the film 2 is reduced, dispersion in a wafer is also minimized, and the generation of the damage of the film 2 is prevented even on subsequent ion implantation by diffused F.

COPYRIGHT: (C) 1987, JPO&Japio

⑫ 公開特許公報(A)

昭62-285470

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)12月11日

H 01 L 29/78
29/628422-5F
7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑥ 発明の名称 半導体装置の製造方法

⑦ 特 願 昭61-128210

⑧ 出 願 昭61(1986)6月4日

⑨ 発 明 者 高 橋 正 志 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑩ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑪ 代 理 人 弁理士 清水 守

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ゲート酸化膜上に多結晶シリコンを堆積してなる半導体装置の製造方法において、

(a) 前記多結晶シリコンにフッ素イオン注入を行う工程と、

(b) 該多結晶シリコンを熱処理し、該多結晶シリコンから前記ゲート酸化膜へ不純物フッ素の拡散を行う工程とを有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に係り、特に、ゲート電極を通して酸化膜に不純物Fを導入する方法に関するものである。

(従来の技術)

従来、DRAM (Dynamic RAM) 等のトランジスタ

素子のゲート酸化膜として用いられるシリコン基板を熱酸化して得られる酸化膜においては、正の固定電荷を $10^{10} \sim 10^{11} \text{ cm}^{-2}$ 程度含んでいる。この固定電荷は熱処理に対して変化し、不安定であり、ウエハ内分布もばらついている。つまり、酸化膜の膜厚 T_{ox} と多結晶シリコン電極形成直後のフラットバンド電圧 (flat-band voltage) との関係は、第2図に示されるように、多結晶シリコン電極の場合は、多結晶シリコン電極形成直後は●、800℃ N_2 雰囲気30分アニール後は■として示されるような特性を有する。多結晶シリコン電極形成直後と800℃ N_2 雰囲気30分アニール後とは、例えば、800Å程度の厚い酸化膜では0.4V程度もフラットバンド電圧 V_{fb} の値が負にシフトして固定電荷 (通常正の電荷を有する) が増加していることがわかる。つまり、第2図のグラフの傾きが大きい程固定電荷は大きい。そして、固定電荷は熱処理に対して不安定である。更に、多結晶シリコン電極形成直後におけるウエハ内の分布は、つまり、酸化膜が略800Åの場合ウエハのTOPカ

ら0.F. (オリフラ) 間の位置に対応したフラットバンド電圧 V_{fb} 値は第3図の曲線(a) に示されるように0.2V程度もばらついている。

(発明が解決しようとする問題点)

以上述べたように、従来のゲート酸化膜の固定電荷は熱処理に対して不安定であり、ウエハ内分布もばらついておりトランジスタの閾値電圧 V_t 等の特性のばらつきの原因の一つとなっていた。

本発明は、以上述べた固定電荷の熱処理に対する不安定性、ウエハ内でのばらつきを低減し、固定電荷自体も簡単に低減すると共に、イオン注入時による酸化膜のダメージ発生を引き起こすことなく、不純物Fを酸化膜中に拡散して固定電荷を減少させ得る半導体装置の製造方法を提供することを目的としている。

(問題点を解決するための手段)

本発明は、上記問題点を解決するために、ゲート電極を形成するに際し、シリコン熱酸化膜への不純物Fの拡散を酸化膜形成後、多結晶シリコンを堆積し、その多結晶シリコンにイオン注入した

後、熱処理により多結晶シリコンから酸化膜へ不純物Fを拡散するようにしたものである。

(作用)

本発明によれば、ゲート電極を形成するに際し、シリコン熱酸化膜への不純物Fの拡散を酸化膜形成後、多結晶シリコンを堆積し、その多結晶シリコンにイオン注入した後、熱処理により多結晶シリコンから酸化膜へ不純物Fを拡散する。従って、固定電荷を低減し、ウエハ内分布のばらつきを小さくすることができると共に、イオン注入時の酸化膜のダメージを防止することができる。

(実施例)

以下、本発明の実施例について図面を参照しながら詳細に説明する。

なお、同一出願人によりこの特許出願と同時に、ゲート酸化膜に不純物Fをイオン打ち込み法によって導入することにより、固定電荷の低減、熱処理による固定電荷の不安定性を低減し、容易にウエハ内分布のばらつきを小さくする方法を提案している。しかしながら、この方法では、イオン注

入時に酸化膜にダメージが発生し、また、そのダメージを回復するために、1000℃程度の高温の熱処理が必要であり、かつ、完全にそのダメージを回復できない場合があるといった問題点を有している。本発明はこの問題点をも解決するものである。

第1図は本発明の実施例を示す半導体装置の製造工程断面図である。

(1) まず、第1図(a)に示されるように、P型またはN型シリコン基板1上に温度800～1000℃、Dry, Wet 0: 雰囲気で膜厚 100～800Åのゲート酸化膜となる熱酸化膜2を形成する。

(2) 次に、第1図(b)に示されるように、LPCVD法により多結晶シリコン3を1700～4500Å堆積する。

(3) その後、第1図(c)に示されるように、イオン注入法により、酸化膜の単位堆積当たりの濃度 $10^{17} \sim 10^{19} \text{ cm}^{-2}$ 、エネルギー20～40 KeVで不純物Fを多結晶シリコン3に注入する。

(4) 注入後、800～900℃でN₂雰囲気中30～60分

アニールし、Fを酸化膜中に拡散させる。その後、第1図(d)に示されるように、POCL₃等の不純物を多結晶シリコンに拡散し、ホトリソグラフィにより、電極5を形成する。なお、NSI, Ti-Si等を多結晶シリコン上にスパッタ法により堆積することにより、電極を形成してもよい。

このように構成することにより、第2図から明らかなように、固定電荷を低減させることができる。つまり、第2図において、○印は多結晶シリコン電極形成直後のフラットバンド電圧 V_{fb} の値であり、□印は800℃N₂雰囲気30分アニールした結果、△印は900℃N₂雰囲気30分アニールした結果であり、従来のものに比べて、フラットバンド電圧 V_{fb} のばらつきを低減できる。

また、第3図の曲線(b)から明らかなように、800℃程度の酸化膜でのフラットバンド電圧 V_{fb} のウエハ内分布、つまり、ウエハのTOPから0.F. (オリフラ) 間の位置に対応した特性は、従来のもの(第3図の曲線(a)参照)に比べて、ウエハ内におけるばらつきが小さくなっている。

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

(発明の効果)

以上、詳細に説明したように、本発明によれば、ゲート酸化膜上に堆積した多結晶シリコンに不純物Fをイオン注入し、その後熱処理により酸化膜中にFを拡散することにより、イオン注入の際、発生するダメージを防止することができる。また、ダメージ回復のための高温の熱処理を必要とすることなく、容易にゲート酸化膜中に不純物Fを拡散することができ、有効に固定電荷の低減を図ることができる。

4. 図面の簡単な説明

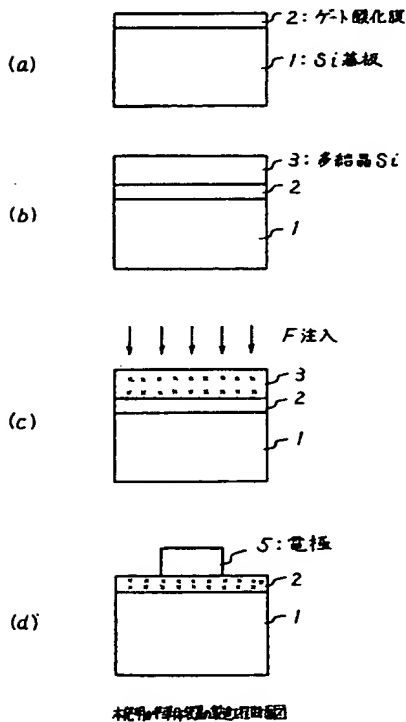
第1図は本発明に係る半導体装置の製造工程断面図、第2図は酸化膜の膜厚対フラットバンド電圧の特性図、第3図はウエハ内位置対フラットバンド電圧の特性図である。

1…シリコン基板、2…熱酸化膜(ゲート酸化

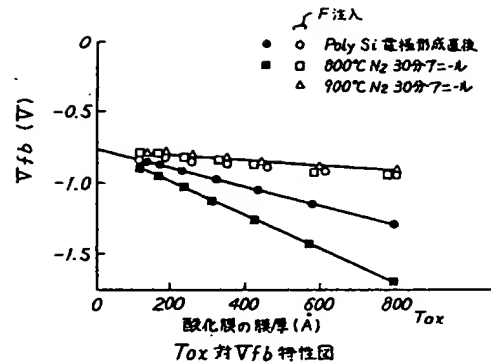
膜)、3…多結晶シリコン、5…電極。

特許出願人 沖電気工業株式会社

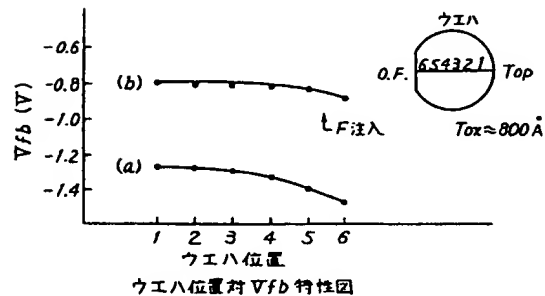
代理人 弁理士 清水 守



第1図



第2図



第3図